

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Jun-Young LEE, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0098.US

For: **APPARATUS AND METHOD FOR
DRIVING PLASMA DISPLAY PANEL**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Priority under 35 U.S.C. §119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2002-0064481	October 22, 2002

A certified copy of Korean Patent Application No. 10-2002-0064481 is enclosed.

Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,



Hae-Chan Park,
Reg. No. 50,114

Date: October 20, 2003
McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064481
Application Number

출원년월일 : 2002년 10월 22일
Date of Application OCT 22, 2002

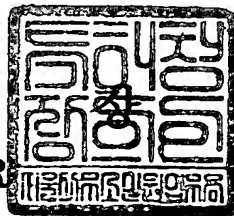
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 07 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 10. 22
【발명의 명칭】	플라즈마 디스플레이 패널의 구동 장치 및 구동 방법
【발명의 영문명칭】	APPARATUS AND METHOD FOR DRIVING PLASM DISPLAY PANEL
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	이준영
【성명의 영문표기】	LEE, JUN YOUNG
【주민등록번호】	701003-1069322
【우편번호】	330-773
【주소】	충청남도 천안시 신부동 대림아파트 104동 1002호
【국적】	KR
【발명자】	
【성명의 국문표기】	최학기
【성명의 영문표기】	CHOI, HAK KI
【주민등록번호】	701104-1068511
【우편번호】	330-300
【주소】	충청남도 천안시 성성동 500번지 우성아파트 105동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	한찬영
【성명의 영문표기】	HAN, CHAN YOUNG

【주민등록번호】	740108-1018711		
【우편번호】	336-861		
【주소】	충청남도 아산시 음봉면 동암리 산 87-1 삼성SDI 기숙사		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	18	면	18,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	20	항	749,000 원
【합계】	796,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

플라즈마 디스플레이 패널의 구동 회로에서, 전원($V_s/2$)과 패널 캐패시터의 Y 전극 사이에 스위칭 소자(Y_s, Y_h)가 연결되어 있으며, Y 전극과 전원($-V_s/2$) 사이에 스위칭 소자(Y_l, Y_g)가 연결되어 있다. 스위칭 소자(Y_s, Y_h, Y_l, Y_g)에는 각각 캐패시터($C_{ys}, C_{yh}, C_{yl}, C_{yg}$)가 형성되어 있다. 그리고 다이오드(D_{ys})가 스위칭 소자(Y_s, Y_h)의 접점과 접지단(0) 사이에 역방향으로 연결되며, 다이오드(D_{yg})가 스위칭 소자(Y_l, Y_g)의 접점과 접지단(0) 사이에 순방향으로 연결되어 있다. 스위칭 소자(Y_s, Y_h)와 스위칭 소자(Y_l, Y_g)가 교대로 턴온되어 패널 캐패시터의 Y 전극에 $V_s/2$ 및 $-V_s/2$ 전압이 교대로 인가된다. 패널 캐패시터의 X 전극에는 Y 전극에 인가되는 전압과 반대의 위상을 가지면서 $-V_s/2$ 및 $V_s/2$ 전압이 교대로 인가된다. 이때, 캐패시터(C_{ys})는 캐패시터(C_{yh})보다 작은 캐패시턴스를 가지며, 캐패시터(C_{yl})는 캐패시터(C_{yg})보다 큰 캐패시턴스를 가진다. 이와 같이 하면, 패널 캐패시터에 유지방전에 필요한 전압(V_s)을 인가할 수 있다. 모든 스위칭 소자(Y_s, Y_h, Y_l, Y_g)의 내압을 $V_s/2$ 로 유지할 수 있다.

【대표도】

도 2

【색인어】

PDP, 내압, 스위칭 소자, 유지방전, 다이오드

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동 장치 및 구동 방법{APPARATUS AND METHOD FOR DRIVING PLASM DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 개략적인 평면도이다.

도 2는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이다.

도 3은 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 상세 회로도이다.

도 4는 본 발명의 제1 실시예에 따른 구동 회로의 동작 타이밍을 나타내는 타이밍도이다.

도 5a 및 도 5b는 본 발명의 제1 실시예에 따른 구동 회로에서 각 모드 of 전류 경로를 나타내는 개략적인 회로도이다.

도 6은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이다.

도 7은 본 발명의 제2 실시예에 따른 구동 회로의 동작 타이밍을 나타내는 타이밍도이다.

도 8a 내지 도 8h는 본 발명의 제2 실시예에 따른 구동 회로에서 각 모드의 전류 경로를 나타내는 개략적인 회로도이다.

도 9는 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)의 구동 장치 및 구동 방법에 관한 것이다.
- <11> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 이러한 플라즈마 디스플레이 패널은 인가되는 구동 전압 파형의 형태와 방전 셀의 구조에 따라 직류형(DC형)과 교류형(AC형)으로 구분된다.
- <12> 일반적으로 교류형 플라즈마 디스플레이 패널의 구동 방법은 시간적인 동작 변화로 표현하면 리셋 기간, 어드레싱 기간, 유지방전 기간, 소거 기간으로 이루어진다.
- <13> 리셋 기간은 셀에 어드레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이며, 어드레싱 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱된 셀)에 벽전하를 쌓아두는 동작을 수행하는 기간이다. 유지방전 기간은 어드레싱된 셀에 실제로 화상을 표시하기 위한 방전을

수행하는 기간으로, 유지방전 기간이 되면 주사 전극과 유지 전극에 유지방전 펄스가 교대로 인가되어 유지방전이 행하여져 영상이 표시된다. 소거 기간은 셀의 벽전하를 감소시켜 유지방전을 종료시키는 기간이다.

<14> 교류형 플라즈마 디스플레이 패널은 그 유지방전을 위한 주사 및 유지 전극이 용량성 부하로 작용하기 때문에 주사 전극 및 유지 전극에 대한 캐패시턴스가 존재하는 데, 이를 등가적으로 패널 캐패시터로 나타낸다. 이러한 패널 캐패시터에 유지방전 펄스를 인가하는 구동 회로로서 Kishi 등에 의해 제안된 회로(일본특허 제3201603호)가 있다.

<15> Kishi 등의 구동 회로에서는, 유지방전에 필요한 전압(V_s)의 절반에 해당하는 전압($V_s/2$)을 공급하는 전원과 캐패시터를 사용하여 패널 캐패시터의 Y 전극에 $V_s/2$ 의 전압과 $-V_s/2$ 의 전압을 교대로 인가한다. 자세하게 설명하면, 전원을 통하여 패널 캐패시터의 Y 전극에 $V_s/2$ 전압을 인가하면서 캐패시터에는 $V_s/2$ 전압을 충전한다. 다음, 캐패시터를 접지단과 패널 캐패시터의 Y 전극 사이에 연결하여 $-V_s/2$ 전압을 패널 캐패시터의 Y 전극에 인가한다.

<16> 이와 같이 구동함으로써 Y 전극에 양의 전압($+V_s/2$)과 음의 전압($-V_s/2$)을 교대로 인가할 수 있으며, 마찬가지로 X 전극에도 양의 전압($+V_s/2$)과 음의 전압($-V_s/2$)을 교대로 인가할 수 있다. 이때, X 전극 및 Y 전극의 각각에 인가하는 전압($\pm V_s/2$)은 서로 위상이 반전되도록 인가하여, 패널 캐패시터의 양단에 유지방전에 필요한 전압(V_s)이 인가되도록 한다.

<17> 이러한 종래의 회로에서 $-V_s/2$ 에서 $V_s/2$ 로 스윙하는 펄스를 사용하는 플라즈

마 디스플레이 패널에서만 사용할 수 있으며, 또한 트랜지스터의 특성 때문에 트랜지스터의 내압이 $V_s/2$ 로 유지되지 않는 경우가 발생한다. 그리고 종래의 회로에서는 음의 전압에 이용되는 전압을 저장하기 위한 캐패시터의 용량이 커야 하므로, 이러한 캐패시터에 의해 초기 기동시 상당한 양의 돌입 전류가 흐른다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 저내압 스위칭 소자를 사용하는 플라즈마 디스플레이 패널의 구동 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<19> 이러한 과제를 해결하기 위해서 본 발명은 직렬로 연결된 스위칭 소자의 접점에 스위칭 소자의 내압을 유지하기 위한 전압을 인가한다.

<20> 본 발명의 첫 번째 특징에 따른 플라즈마 디스플레이 패널의 구동 장치는, 제1 내지 제4 스위칭 소자와 제1 및 제2 다이오드를 포함한다. 제1 및 제2 스위칭 소자는 제1 전압을 공급하는 제1 전원과 패널 캐패시터의 제1단 사이에 직렬로 연결되며 양단에 제1 및 제2 캐패시터가 각각 형성되어 있다. 제3 및 제4 스위칭 소자는 패널 캐패시터의 제1단과 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결되며 양단에 제3 및 제4 캐패시터가 각각 형성되어 있으며, 제2 전압은 제1 전압 보다 작다. 제1 다이오드는 제1 및 제2 스위칭 소자의 접점과 제1 및 제2 전압 사이의 크기를 가지는 제3 전압을 공급하는 제3 전원 사이에 역방향으로 연결되며, 제2 다이오드는 제3 및 제4 스위칭 소자의 접점과 제3 전원 사이에 순방향으로 연결된다. 이때, 제1 및 제2 스위칭 소자 상기 제3 및 제4 스위칭 소자가 교대로 턴온되어 패널 캐패시터의 제1단에 제1 및 제2 전압이 교대로

인가된다. 그리고 제1 캐패시터는 제2 캐패시터보다 작은 캐패시턴스를 가지며, 제3 캐패시터는 제4 캐패시터보다 큰 캐패시턴스를 가진다.

<21> 제1 내지 제4 스위칭 소자는 전계 효과 트랜지스터이며, 제1 내지 제4 캐패시터는 각각 제1 내지 제4 스위칭 소자의 기생 캐패시터인 것이 바람직하다. 그리고 제1 및 제2 전압의 차이는 패널 캐패시터의 유지방전에 필요한 전압이며, 제3 전압은 제1 및 제2 전압의 중간 전압인 것이 좋다.

<22> 본 발명의 두 번째 특징에 따른 플라즈마 디스플레이 패널의 구동 장치는, 제1 전원과 패널 캐패시터의 제1단 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자를 포함한다. 제1 및 제2 스위칭 소자의 양단에는 제1 및 제2 캐패시터가 각각 형성되어 있다. 이때, 패널 캐패시터의 제1단에는 제1 전압과 제2 전압이 교대로 인가되며, 제1 및 제2 스위칭 소자가 턴오프되어 제1단에 제2 전압이 인가되는 동안 제1 및 제2 스위칭 소자와 제3 전압 사이에 제1 전기적 경로가 형성된다. 그리고 제1 캐패시터는 제2 캐패시터보다 작은 캐패시턴스를 가진다.

<23> 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에 의하면, 먼저 패널 캐패시터의 제1단과 제1 전원 사이에 연결된 제1 및 제2 스위칭 소자를 턴오프하고 패널 캐패시터의 제1단에 제2 전압을 인가한다. 그리고 제1 및 제2 스위칭 소자의 접점과 제3 전압 사이에 전기적 경로를 형성한다. 제1 스위칭 소자의 양단에 형성된 제1 캐패시터는 제2 스위칭 소자의 양단에 형성된 제2 캐패시터보다 작은 캐패시턴스를 가진다,

<24> 이때, 패널 캐패시터의 제2단에는 제1 전압이 인가되는 것이 바람직하다. 그리고 패널 캐패시터의 제1단과 제2 전원 사이에 직렬로 연결된 제3 및 제4 스위칭 소자를 턴온하여 제2 전압을 제1단에 공급하는 것이 좋다.

- <25> 다음, 제3 및 제4 스위칭 소자를 턴오프하고 제1 및 제2 스위칭 소자를 턴온하여 패널 캐패시터의 제1단에 제1 전압을 인가한다. 그리고 제3 및 제4 스위칭 소자의 접점과 제3 전압 사이에 전기적 경로를 형성한다.
- <26> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <27> 이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치 및 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <28> 먼저, 도 1을 참조하여 본 발명의 실시예에 따른 플라즈마 디스플레이 패널에 대하여 설명한다.
- <29> 도 1은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 개략적인 평면도이다.
- <30> 도 1에 나타난 바와 같이, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널은 플라즈마 패널(100), 어드레스 구동부(200), 주사·유지 구동부(300) 및 제어부(400)를 포함한다.
- <31> 플라즈마 패널(100)은 열 방향으로 배열되어 있는 복수의 어드레스 전극(A1-Am)과 행 방향으로 지그재그로 배열되어 있는 복수의 주사 전극(Y1-Yn) 및 유지 전극(X1-Xn)을 포함한다. 어드레스 구동부(200)는 제어부(400)로부터 어드레스 구동 제어 신호를 수신하여 표시하고자 하는 방전 셀을 선택하기 위한 표시 데이터 신호를 각 어드레스 전극

(A1-Am)에 인가한다. 주사·유지 구동부(300)는 제어부(400)로부터 유지 방전 신호를 수신하여 주사 전극(Y1-Yn)과 유지 전극(X1-Xn)에 유지방전 전압을 번갈아 입력함으로써 선택된 방전 셀에 대하여 유지 방전을 수행한다. 제어부(400)는 외부로부터 영상 신호를 수신하여 어드레스 구동 제어 신호와 유지 방전 신호를 생성하여 각각 어드레스 구동부(200)와 주사·유지 구동부(300)에 인가한다.

<32> 이하, 도 2 내지 도 5를 참조하여 본 발명의 제1 실시예에 따른 주사·유지 구동부(300)의 구동 회로에 대하여 설명한다.

<33> 도 2는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이며, 도 3은 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 상세 회로도이다. 도 4는 본 발명의 제1 실시예에 따른 구동 회로의 동작 타이밍을 나타내는 타이밍도이며, 도 5a 및 도 5b는 본 발명의 제1 실시예에 따른 구동 회로에서 각 모드의 전류 경로를 나타내는 개략적인 회로도이다.

<34> 도 2에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 구동 회로는 Y 전극 구동부(310), X 전극 구동부(320), Y 전극 클램핑부(330) 및 X 전극 클램핑부(340)를 포함한다.

<35> Y 전극 구동부(310) 및 X 전극 구동부(320)는 패널 캐패시터(Cp)를 사이에 두고 연결되어 있다. Y 전극 구동부(310)는 전원($V_s/2$)과 패널 캐패시터(Cp)의 Y 전극 사이에 직렬로 연결되어 있는 스위칭 소자(Y_s , Y_h) 및 패널 캐패시터(Cp)의 Y 전극과 전원($-V_s/2$) 사이에 직렬로 연결되어 있는 스위칭 소자(Y_l , Y_g)를 포함한다. 마찬가지로 X 전극 구동부(320)는 전원($V_s/2$)과 패널 캐패시터(Cp)의 X 전극 사이에 직렬로 연결되어

있는 스위칭 소자(X_s , X_h) 및 패널 캐패시터(C_p)의 X 전극과 전원($V_s/2$) 사이에 직렬로 연결되어 있는 스위칭 소자(X_l , X_g)를 포함한다.

<36> Y 전극 클램핑부(330)는 두 개의 다이오드(D_{ys} , D_{yg})를 포함한다. 다이오드(D_{ys} , D_{yg})는 스위칭 소자(Y_s , Y_h)의 접점과 스위칭 소자(Y_l , Y_g)의 접점 사이에 직렬로 연결되며, 그 접점은 접지단(0)에 연결되어 있다. 마찬가지로 X 전극 클램핑부(340)는 다이오드(D_{xs} , D_{xg})를 포함한다. 다이오드(D_{xs} , D_{xg})는 스위칭 소자(X_s , X_h)의 접점과 스위칭 소자(X_l , X_g)의 접점 사이에 직렬로 연결되며, 그 접점은 접지단(0)에 연결되어 있다.

<37> 그리고 도 3에 나타낸 것처럼 본 발명의 실시예에 사용되는 스위칭 소자(Y_s , Y_h , Y_l , Y_g , X_s , X_h , X_l , X_g)의 양단에는 각각 기생 캐패시터(C_{ys} , C_{yh} , C_{yl} , C_{yg} , C_{xs} , C_{xh} , C_{xl} , C_{xg})가 형성되어 있다. 이러한 기생 캐패시터(C_{ys} , C_{yh} , C_{yl} , C_{yg} , C_{xs} , C_{xh} , C_{xl} , C_{xg})는 스위칭 소자(Y_s , Y_h , Y_l , Y_g , X_s , X_h , X_l , X_g)가 턴오프되었을 때 캐패시터로서 작용한다. 이때, 기생 캐패시터의 캐패시턴스는 [수학식 1]을 만족한다. 편의상 기생 캐패시터(C_{ys} , C_{yh} , C_{yl} , C_{yg} , C_{xs} , C_{xh} , C_{xl} , C_{xg})의 캐패시턴스를 동일한 부호로 나타낸다.

<38>

$$\begin{aligned} C_{ys} &\leq C_{yh} \\ C_{yg} &\leq C_{yl} \\ C_{xs} &\leq C_{xh} \\ \text{【수학식 1】 } C_{xg} &\leq C_{xl} \end{aligned}$$

<39> 그리고 본 발명의 실시예에서는 기생 캐패시터를 사용하는 것으로 설명하지만, 기생 캐패시터 대신에 별도의 캐패시터를 연결하여 사용하여도 된다. 또한, 도 2 및 도 3에서는 Y 및 X 전극 구동부(310, 320)와 Y 및 X 전극 클램핑부(330, 340)에 포함되는 스

위칭 소자(Y_s , Y_h , Y_l , Y_g , X_s , X_h , X_l , X_g)를 MOSFET으로 표시하였지만 이에 한정되지 않고 동일 또는 유사한 기능을 수행한다면 다른 스위칭 소자를 사용하여도 관계없다.

이러한 스위칭 소자는 바디 다이오드를 가지는 것이 바람직하다.

<40> 다음에 도 4, 도 5a 및 도 5b를 참조하여 본 발명의 제1 실시예에 따른 구동 회로의 구동 방법을 설명한다.

<41> 본 발명의 제1 실시예에서는 전원($V_s/2$, $-V_s/2$)이 공급하는 전압을 각각 $V_s/2$ 및 $-V_s/2$ 로 가정한다. 그리고 $V_s/2$ 전압은 패널의 유지방전에 필요한 전압인 유지방전 전압(V_s)의 절반에 해당하는 전압이다.

<42> 먼저, 도 4에 나타낸 바와 같이 모드 1에서(M1)는 스위칭 소자(X_s , X_h , Y_g , Y_l)가 턴오프된 상태에서 스위칭 소자(Y_s , Y_h , X_g , X_l)가 턴온된다.

<43> 그러면, 도 5a에 나타낸 바와 같이 턴온된 스위칭 소자(Y_s , Y_h)에 의해 패널 캐패시터(C_p)의 Y 전극에는 $V_s/2$ 전압이 인가되고, 턴온된 스위칭 소자(X_l , X_g)에 의해 패널 캐패시터(C_p)의 X 전극에는 $-V_s/2$ 전압이 인가된다. 따라서 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)은 각각 $V_s/2$ 및 $-V_s/2$ 로 되어, 패널 캐패시터(C_p)의 양단에 유지방전 전압(V_s)이 인가된다.

<44> 이때, 다이오드(D_{ys} , D_{yg} , D_{xs} , D_{xg})가 없다면 스위칭 소자(Y_l , Y_g , X_s , X_h)의 양단에 걸리는 전압(V_{yl} , V_{yg} , V_{xs} , V_{xh})은 기생 캐패시터(C_{yl} , C_{yg} , C_{xs} , C_{xh})에 의해 각각 [수학식 2] 및 [수학식 3]과 같이 된다.

<45>

$$V_{yl} = \frac{C_{yg}}{C_{yl} + C_{yg}} V_s$$

$$V_{yg} = \frac{C_{yl}}{C_{yl} + C_{yg}} V_s$$

【수학식 2】

<46>

$$V_{xs} = \frac{C_{xh}}{C_{xs} + C_{xh}} V_s$$

$$V_{xh} = \frac{C_{xs}}{C_{xs} + C_{xh}} V_s$$

【수학식 3】

<47>

그런데, [수학식 1]에 나타낸 것처럼 캐패시턴스(C_{y1})가 캐패시턴스(C_{yg})보다 크므로 전압(V_{y1})은 $V_s/2$ 보다 작고 전압(V_{yg})은 $V_s/2$ 보다 크다. 이러한 상태에서 본 발명의 실시예에서와 같이 다이오드(D_{yg})가 스위칭 소자(Y_1, Y_g)의 접점에 연결되어 있으면 전압차에 의해 다이오드(D_{yg})는 도통된다. 따라서 다이오드(D_{yg})를 통하여 스위칭 소자(Y_1, Y_g)의 양단 전압(V_{y1}, V_{yg})은 각각 $V_s/2$ 로 클램핑된다. 마찬가지로, 캐패시턴스(C_{xs})가 캐패시턴스(C_{xh})보다 작으므로 전압(V_{xs})은 $V_s/2$ 보다 크고 전압(V_{xh})은 $V_s/2$ 보다 작으므로, 다이오드(D_{xs})가 스위칭 소자(X_s, X_h)의 접점에 연결되어 있으면 다이오드(D_{xs})는 도통된다. 따라서 다이오드(D_{xs})를 통하여 스위칭 소자(X_s, X_h)의 양단 전압(V_{xs}, V_{xh})은 각각 $V_s/2$ 로 클램핑된다.

<48>

다음, 도 4에 나타낸 바와 같이 모드 2(M2)에서는 스위칭 소자(Y_s, Y_h, X_g, X_l)가 턴오프되고 스위칭 소자(X_s, X_h, Y_g, Y_l)가 턴온된다.

<49>

그러면, 도 5b에 나타낸 바와 같이 턴온된 스위칭 소자(Y_g, Y_l)에 의해 패널 캐패시터(C_p)의 Y 전극에는 $-V_s/2$ 전압이 인가되고, 턴온된 스위칭 소자(X_s, X_h)에 의해 패널 캐패시터(C_p)의 X 전극에서는 $V_s/2$ 전압이 인가된다. 따라서 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y, V_x)은 각각 $-V_s/2$ 및 $V_s/2$ 로 되어, 패널 캐패시터(C_p)의 양단에 유지방전 전압(V_s)이 인가된다.

<50> 이때, 다이오드(Dys, Dyg, Dxs, Dxg)가 없다면 스위칭 소자(Ys, Yh, Xl, Xg)의 양단에 걸리는 전압(Vys, Vyh, Vxl, Vxg)은 기생 캐패시터(Cys, Cyh, Cxl, Cxg)에 의해 각각 [수학식 4] 및 [수학식 5]와 같이 된다.

<51>

$$V_{ys} = \frac{C_{yh}}{C_{ys} + C_{yh}} V_s$$

$$V_{yh} = \frac{C_{ys}}{C_{ys} + C_{yh}} V_s$$

【수학식 4】

<52>

$$V_{xl} = \frac{C_{xg}}{C_{xl} + C_{xg}} V_s$$

$$V_{xg} = \frac{C_{xl}}{C_{xl} + C_{xg}} V_s$$

【수학식 5】

<53> 그런데, [수학식 1]에 나타난 것처럼 캐패시턴스(Cys)가 캐패시턴스(Cyh)보다 작고 캐패시턴스(Cxl)가 캐패시턴스(Cxg)보다 크므로, 전압(Vys, Vxg)은 Vs/2보다 크고 전압(Vyh, Vxl)은 Vs/2보다 작다. 모드 1(M1)에서 설명한 것처럼 다이오드(Dys, Dxg)가 스위칭 소자(Ys, Yh)의 접점 및 스위칭 소자(Xl, Xg)의 접점에 각각 연결되어 있으면 전압차에 의해 다이오드(Dys, Dxg)는 도통된다. 따라서 다이오드(Dys)를 통하여 스위칭 소자(Ys, Yh)의 양단 전압(Vys, Vyh)은 각각 Vs/2로 클램핑되고, 다이오드(Dxg)를 통하여 스위칭 소자(Xl, Xg)의 양단 전압(Vxl, Vxg)도 각각 Vs/2로 클램핑된다.

<54> 이와 같이 본 발명의 제1 실시예에 의하면, 패널 캐패시터(Cp)의 양단에 유지방전 전압(Vs)이 인가되는 동안에, 다이오드(Dys, Dyg, Dxs, Dxg)에 의해 스위칭 소자(Ys, Yh, Xl, Xg) 및 스위칭 소자(Yl, Yg, Xs, Xh)의 양단 전압을 각각 Vs/2로 클램핑할 수 있다. 따라서 스위칭 소자(Ys, Yh, Yl, Yg, Xs, Xh, Xl, Xg)로서 낮은 내압의 스위칭 소자를 사용할 수 있다. 또한 패널 캐패시터(Cp)의 Y 또는 X 전극에 음의 전압(-Vs/2)

을 캐패시터를 사용하지 않으므로, 종래 기술과 같이 초기 기동시 큰 돌입 전류가 발생하지 않는다.

<55> 이때, 유지방전을 위한 파형을 패널 캐패시터(C_p)에 인가하기 위해서는, 패널 캐패시터(C_p)의 캐패시턴스 성분 때문에 방전을 위한 전력 이외에 무효 전력이 필요하다. 이러한 무효 전력을 회수하여 재사용하는 회로를 전력 회수 회로라고 한다. 아래에서는 본 발명의 제1 실시예에 따른 구동 회로에 전력 회수 회로를 추가한 실시예에 대하여 도 6, 도 7, 도 8a 내지 도 8h를 참조하여 자세하게 설명한다.

<56> 도 6은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이며, 도 7은 본 발명의 제2 실시예에 따른 구동 회로의 동작 타이밍을 나타내는 타이밍도이다. 도 8a 내지 도 8h는 본 발명의 제2 실시예에 따른 구동 회로에서 각 모드의 전류 경로를 나타내는 개략적인 회로도이다.

<57> 도 6에 나타낸 바와 같이, 본 발명의 제2 실시예에 따른 구동 회로는 제1 실시예에 따른 구동 회로에 Y 및 X 전극 전력 회수부(350, 360)가 추가되어 형성된다.

<58> Y 전극 전력 회수부(350)는 인덕터(L_1) 및 스위칭 소자(Y_r , Y_f)를 포함한다. 인덕터(L_1)는 일단이 Y 전극 구동부(310)의 스위칭 소자(Y_h , Y_l)의 접점, 즉 패널 캐패시터(C_p)의 Y 전극에 연결되며, 스위칭 소자(Y_r , Y_f)는 인덕터(L_1)의 타단과 접지단(0) 사이에 병렬로 연결되어 있다. 이러한 Y 전극 전력 회수부(350)는 스위칭 소자(Y_r , Y_f)와 인덕터(L_1) 사이에 각각 연결되는 다이오드(D_1 , D_2)를 더 포함할 수 있다. 이러한 다이오드(D_1 , D_2)는 각각 스위칭 소자(Y_r , Y_f)의 바디 다이오드로 인해 생길 수 있는 전류 경로를 차단한다.

- <59> X 전극 전력 회수부(360)는 인덕터(L2) 및 스위칭 소자(X_r , X_f)를 포함하며, 또한 다이오드(D3, D4)를 더 포함할 수 있다. X 전극 전력 회수부(360)의 구조에 대해서는 Y 전극 전력 회수부(350)의 구조와 동일하므로 설명을 생략한다. 그리고 Y 및 X 전극 전력 회수부(350, 360)의 스위칭 소자(Y_r , Y_f , X_r , X_f)는 바디 다이오드를 가지는 MOSFET 등으로 이루어질 수 있다.
- <60> 아래에서는 도 7, 도 8a 내지 도 8h, 도 9를 참조하여, 본 발명의 제2 실시예에 따른 구동 회로의 구동 방법에 대하여 설명한다.
- <61> 본 발명의 제2 실시예에서는 모드 1(M1)이 시작되기 전에 스위칭 소자(Y_s , Y_h , X_g , X_l)가 턴온되어, 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)은 각각 $V_s/2$ 및 $-V_s/2$ 로 유지되고 있는 것으로 한다. 그리고 인덕터(L1, L2)의 인덕턴스는 L로 가정한다.
- <62> 도 7 및 도 8a에 나타낸 바와 같이, 모드 1(M1)에서는 턴온된 스위칭 소자(Y_s , Y_h) 및 스위칭 소자(X_l , X_g)에 의해 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)은 각각 $V_s/2$ 및 $-V_s/2$ 로 계속 유지된다. 또한 제1 실시예의 모드 1(M1)에서 설명한 것처럼, 다이오드(D_{yg} , D_{xs})에 의해 스위칭 소자(Y_l , Y_g , X_s , X_h)의 양단 전압(V_{yl} , V_{yg} , V_{xs} , V_{xh})은 각각 $V_s/2$ 로 클램핑된다. 그리고 스위칭 소자(Y_f , X_r)가 턴온되어 있으므로, 전원($V_s/2$), 스위칭 소자(Y_s , Y_h), 인덕터(L1), 다이오드(D2), 스위칭 소자(Y_f) 및 접지단(0)으로의 전류 경로 및 접지단(0), 스위칭 소자(X_r), 다이오드(D3), 인덕터(L2), 스위칭 소자(X_l , X_g) 및 전원($-V_s/2$)으로의 전류 경로가 형성된다. 두 전류 경로에 의해 인덕터(L1, L2)에 전류가 주입되어, 인덕터(L1, L2)에 흐르는 전류(I_{L1} , I_{L2})의 크기는 각각 $V_s/2L$ 의 기울기를 가지고 선형적으로 증가한다.

- <63> 다음, 모드 2(M2)에서는 스위칭 소자(Y_s, Y_h, X_g, X_l)가 턴오프되어, 도 8b에 나타낸 바와 같이 스위칭 소자(X_r), 다이오드(D3), 인덕터(L2), 패널 캐패시터(C_p), 인덕터(L1), 다이오드(D2) 및 스위칭 소자(Y_f)로 전류 경로가 형성된다. 따라서, 인덕터(L1, L2)와 패널 캐패시터(C_p)에 의한 공진 전류가 흐르고, 이 공진 전류에 의해 패널 캐패시터(C_p)의 Y 전극 전압(V_y)은 하강하고 X 전극 전압(V_x)은 증가하게 된다. 이들 전압(V_y, V_x)은 각각 스위칭 소자(Y_l, Y_g) 및 스위칭 소자(X_s, X_h)의 바디 다이오드에 의해 $-V_s/2$ 및 $V_s/2$ 를 넘지 않는다.
- <64> 이와 같이 모드 2(M2)에서는 모드 1(M1)에서 인덕터(L1, L2)에 전류가 흐르는 상태에서 공진이 발생하므로, 회로에 기생 성분이 있는 경우에도 Y 및 X 전극 전압(V_y, V_x)을 각각 $-V_s/2$ 및 $V_s/2$ 까지 바꿀 수 있으며 또한 전환 속도를 빠르게 할 수 있다.
- <65> 모드 3(M3)에서는, 스위칭 소자(X_s, X_h, Y_g, Y_l)가 턴온되어, 도 8c에 나타낸 바와 같이 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y, V_x)이 각각 $-V_s/2$ 및 $V_s/2$ 로 유지된다. 또한 인덕터(L1)에 흐르던 전류(I_{L1})는 스위칭 소자(Y_g, Y_l)의 바디 다이오드, 인덕터(L1), 다이오드(D2) 및 스위칭 소자(Y_f)로 형성되는 경로를 통하여 접지단(0)으로 회수되고, 인덕터(L2)에 흐르던 전류(I_{L2})는 스위칭 소자(X_r), 다이오드(D3), 인덕터(L2) 및 스위칭 소자(X_h, X_s)의 바디 다이오드로 형성되는 경로를 통하여 전원($V_s/2$)으로 회수된다.
- <66> 모드 4(M4)에서는 인덕터(L1, L2)에 흐르는 전류(I_{L1}, I_{L2})가 0A로 되었을 때 스위칭 소자(Y_f, X_r)를 턴오프한다. 그리고 스위칭 소자(Y_l, Y_g, X_s, X_h)는 계속 턴온되어 있으므로 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y, V_x)은 각각 $-V_s/2$ 및 $V_s/2$ 로 계속 유지된다.

- <67> 다음, 모드 5(M5)에서는 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)을 각각 $-V_s/2$ 및 $V_s/2$ 로 유지하면서 인덕터(L_1 , L_2)에 전류를 주입한다. 자세하게 설명하면, 스위칭 소자(Y_r , X_f)가 턴온되어 도 8e에 나타난 바와 같이 접지단(0), 스위칭 소자(Y_r), 다이오드(D_1), 인덕터(L_1), 스위칭 소자(Y_l , Y_g) 및 전원($-V_s/2$)으로의 전류 경로와 전원($V_s/2$), 스위칭 소자(X_s , X_h), 인덕터(L_2), 다이오드(D_4), 스위칭 소자(X_f) 및 접지단(0)으로의 전류 경로가 형성된다. 두 전류 경로에 의해 인덕터(L_1 , L_2)에 흐르는 전류(I_{L1} , I_{L2})는 $V_s/2L$ 의 기울기를 가지고 선형적으로 증가한다.
- <68> 모드 3 내지 5(M3-M5)에서는 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)이 각각 $-V_s/2$ 및 $V_s/2$ 로 유지된 상태에서 스위칭 소자(Y_s , Y_h , X_l , X_g)가 턴오프되어 있으므로, 제1 실시예에의 모드 2에서 설명한 것처럼 다이오드(D_{ys} , D_{xg})에 의해 스위칭 소자(Y_s , Y_h , X_l , X_g)의 양단 전압(V_{ys} , V_{yh} , V_{xl} , V_{xg})은 각각 $V_s/2$ 로 클램핑된다.
- <69> 인덕터(L_1 , L_2)에 전류를 주입한 후, 모드 6(M6)에서는 스위칭 소자(X_s , X_h , Y_l , Y_g)가 턴오프된다. 그러면 도 8f에 나타난 전류 경로를 통하여 인덕터(L_1 , L_2)와 패널 캐패시터(C_p) 사이에 공진이 발생한다. 이 공진 전류에 의해 패널 캐패시터(C_p)의 Y 전극 전압(V_y)은 증가하고 X 전극 전압(V_x)은 감소하게 되며, 이들 전압은 각각 스위칭 소자(Y_s , Y_h) 및 스위칭 소자(X_l , X_g)의 바디 다이오드에 의해 $V_s/2$ 및 $-V_s/2$ 를 넘지 않는다. 모드 6(M6)에서도 모드 2(M2)와 같이 인덕터(L_1 , L_2)에 전류가 흐르는 상태에서 공진이 발생한다.
- <70> 모드 7(M7)에서는 스위칭 소자(Y_s , Y_h , X_l , X_g)가 턴온되어, 도 8g에 나타난 경로를 통해 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)은 각각 $V_s/2$ 및 $-V_s/2$ 로 유지된다.

다. 이때, 인덕터(L1)에 흐르던 전류(I_{L1})는 스위칭 소자(Y_r), 다이오드(D1), 인덕터(L1) 및 스위칭 소자(Y_h , Y_s)의 바디 다이오드로 형성되는 경로를 통하여 전원($V_s/2$)으로 회수되고, 인덕터(L2)에 흐르던 전류(I_{L2})는 스위칭 소자(X_g , X_l)의 바디 다이오드, 인덕터(L2), 다이오드(D4) 및 스위칭 소자(X_f)로 형성되는 경로를 통하여 접지단(0)으로 회수된다.

<71> 다음, 모드 8(M8)에서는 인덕터(L1, L2)에 흐르는 전류(I_{L1} , I_{L2})가 0A로 되었을 때 스위칭 소자(Y_r , X_f)가 턴온프된다. 그리고 스위칭 소자(Y_s , Y_h , X_l , X_g)는 턴온되어 있으므로 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)은 각각 $V_s/2$ 및 $-V_s/2$ 로 계속 유지된다. 또한 모드 7 및 8(M7, M8)에서는 모드 1(M1)에서 설명한 것처럼 다이오드(D_{yg} , D_{xs})에 의해 스위칭 소자(Y_l , Y_g , X_s , X_h)의 양단 전압(V_{yl} , V_{yg} , V_{xs} , V_{xh})이 각각 $V_s/2$ 로 클램핑된다.

<72> 이후, 모드 1 내지 모드 8의 사이클을 계속 반복하여 $V_s/2$ 및 $-V_s/2$ 사이를 스윙하는 Y 및 X 전극 전압(V_y , V_x)을 생성함으로써, X 전극과 Y 전극간의 전위차를 유지방전 전압(V_s)으로 할 수 있다.

<73> 본 발명의 제2 실시예에서는 모드 1 및 5(M1, M5)의 과정을 통하여 먼저 인덕터(L1, L2)에 전류한 후에 공진을 발생시켰지만, 모드 1 및 5(M1, M5)의 과정을 생략하고 바로 공진을 발생시킬 수도 있다. 또한, 이러한 전력 회수 회로 이외에 다른 변형된 전력 회수 회로를 사용할 수도 있다.

<74> 그리고 본 발명의 제1 및 제2 실시예에서는 전원($V_s/2$) 및 전원($-V_s/2$)이 공급하는 전압을 각각 $V_s/2$ 및 $-V_s/2$ 로 하였지만, 두 전원의 전압 차이가 유지방전에 필요한 전압인 V_s 로 된다면 다른 전압을 사용하여도 된다. 즉, 두 전원이 공급하는 전압을 각각

Vh 및 (Vh-Vs)로 하고 접지단 측에서 공급되는 전압을 $(2Vh-Vs)/2$ 로 해서, Y 및 X 전극 전압(V_y , V_x)이 Vh 및 (Vh-Vs) 사이를 스윙하도록 할 수 있다.

<75> 예를 들어 본 발명의 제1 실시예에서 전원으로 각각 Vs 전압을 공급하는 전원(V_s)과 접지단(0)을 사용한 실시예에 대해서 도 9를 참조하여 설명한다.

<76> 도 9는 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로의 개략적인 회로도이다.

<77> 도 9에 나타난 바와 같이, 본 발명의 제3 실시예에 따른 구동 회로는 각각 $V_s/2$ 전압을 공급하는 두 개의 전원을 사용한다. 자세하게 설명하면, Y 및 X 전극 구동부(310, 320)의 스위칭 소자(Y_s , X_s)는 직렬로 연결된 두 개의 전원에 연결되어 있으며, 스위칭 소자(Y_g , X_g)는 접지단(0)에 연결되어 있다. 그리고 Y 및 X 전극 클램핑부(330, 340)의 다이오드(D_{ys} , D_{yg})의 접점 및 다이오드(D_{xs} , D_{xg})의 접점은 두 전원의 접점에 연결되어 있다.

<78> 본 발명의 제3 실시예에 따른 구동 회로의 동작은 제1 실시예와 패널 캐패시터(C_p)의 Y 및 X 전극 전압(V_y , V_x)에 인가되는 전압을 제외하면 동일하다.

<79> 자세하게 설명하면, 모드 1에서는 패널 캐패시터(C_p)의 Y 및 X 전극에는 각각 Vs 및 0V의 전압이 인가된다. 그리고 제1 실시예에서 설명한 것처럼 다이오드(D_{yg})가 도통되어 스위칭 소자(Y_1 , Y_g)의 양단에는 각각 $V_s/2$ 의 전압이 걸린다. 마찬가지로 다이오드(D_{xs})에 의해 스위칭 소자(X_s , X_h)의 양단 전압(V_{xs} , V_{xh})도 각각 $V_s/2$ 로 클램핑된다. 모드 2에서는 패널 캐패시터(C_p)의 Y 및 X 전극에는 각각 0V 및 Vs의 전압이 인가된다.

이때도 다이오드(Dys, Dxg)에 의해 스위칭 소자(Ys, Yh, Xl, Xg)의 양단에는 각각 $V_s/2$ 의 전압이 걸린다.

<80> 또한 본 발명의 제1 내지 제3 실시예에서는 전원과 패널 캐패시터(C_p)의 X 또는 Y 전극 사이에 스위칭 소자가 두 개 형성되는 경우에 대하여 설명하였지만, 이에 한정되지 않고 스위칭 소자가 여러 개 형성되는 경우에도 적용 가능하다. 예를 들어 본 발명의 제1 실시예에서 전원($V_s/2$)과 패널 캐패시터(C_p)의 Y 전극 사이에 네 개의 스위칭 소자(S1, S2, S3, S4)가 직렬로 연결되고 패널 캐패시터(C_p)의 Y 전극과 전원($-V_s/2$) 사이에 네 개의 스위칭 소자(S5, S6, S7, S8)가 직렬로 연결된다고 가정하자. 이때, 스위칭 소자(S2, S3)의 접점과 스위칭 소자(S6, S7)의 접점 사이에 캐패시터(C_1)를 연결하면, 인접한 두 개의 스위칭 소자[S1, S2), (S3, S4), (S5, S6), (S7, S8)]에 각각 $V_s/2$ 의 전압이 걸린다.

<81> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<82> 이와 같이 본 발명에 의하면, 스위칭 소자의 내압을 유지방전에 필요한 전압(V_s)의 절반으로 할 수 있으므로 낮은 내압의 스위칭 소자를 사용할 수 있으며, 이에 따라 생산 단가를 줄일 수 있다. 그리고 외부 캐패시터에 충전된 전압을 사용하여 패널 캐패시터의 단자 전압을 바꾸는 경우에 발생할 수 있는 돌입 전류를 제거할 수 있다. 또한 구

1020020064481

출력 일자: 2003/7/23

동 회로에 인가되는 전원을 바꿈으로써 유지방전 전압 펄스의 파형에 관계없이 본 발명에 따른 구동 회로를 적용할 수 있다.

【특허청구범위】**【청구항 1】**

주사 전극과 유지 전극 사이에 형성되는 패널 캐패시터에 구동 전압을 인가하기 위한 플라즈마 디스플레이 패널의 구동 장치에 있어서,

제 1 전압을 공급하는 제1 전원과 상기 패널 캐패시터의 제1단 사이에 직렬로 연결되며 양단에 제1 및 제2 캐패시터가 각각 형성되어 있는 제1 및 제2 스위칭 소자,

상기 패널 캐패시터의 제1단과 상기 제1 전압 보다 작은 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결되며 양단에 제3 및 제4 캐패시터가 각각 형성되어 있는 제3 및 제4 스위칭 소자,

상기 제1 및 제2 스위칭 소자의 접점과 상기 제1 및 제2 전압 사이의 크기를 가지는 제3 전압을 공급하는 제3 전원 사이에 역방향으로 연결되는 제1 다이오드, 그리고

상기 제3 및 제4 스위칭 소자의 접점과 상기 제3 전원 사이에 순방향으로 연결되는 제2 다이오드를 포함하며,

상기 제1 및 제2 스위칭 소자와 상기 제3 및 제4 스위칭 소자가 교대로 턴온되어 상기 패널 캐패시터의 제1단에 상기 제1 및 제2 전압이 교대로 인가되며,

상기 제1 캐패시터는 상기 제2 캐패시터보다 작은 캐패시턴스를 가지며, 상기 제3 캐패시터는 상기 제4 캐패시터보다 큰 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 2】

제1항에 있어서,

상기 제1 내지 제4 스위칭 소자는 전계 효과 트랜지스터이며,

상기 제1 내지 제4 캐패시터는 각각 상기 제1 내지 제4 스위칭 소자의 기생 캐패시터인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 3】

제1항에 있어서,

상기 제1 및 제2 전압의 차이는 상기 패널 캐패시터의 유지방전에 필요한 전압이며, 상기 제3 전압은 상기 제1 및 제2 전압의 중간 전압인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 4】

제1항에 있어서,

상기 패널 캐패시터의 제1단에 연결되는 인덕터를 더 포함하며,

상기 인덕터와 상기 패널 캐패시터의 공진에 의해 상기 패널 캐패시터가 상기 제1 또는 제2 전압으로 바뀌는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 5】

제1항에 있어서,

상기 패널 캐패시터의 제1단에 상기 제1 전압이 인가되는 동안 상기 패널 캐패시터의 제2단에는 상기 제2 전압이 인가되며, 상기 패널 캐패시터의 제1단에 상기 제2 전압

이 인가되는 동안 상기 패널 캐패시터의 제2단에는 상기 제1 전압이 인가되는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 6】

제5항에 있어서,

상기 제1 전원과 상기 패널 캐패시터의 제2단 사이에 직렬로 연결되며 양단에 제5 및 제6 캐패시터가 각각 형성되어 있는 제5 및 제6 스위칭 소자,

상기 패널 캐패시터의 제2단과 상기 제2 전원 사이에 직렬로 연결되며 양단에 제7 및 제8 캐패시터가 각각 형성되어 있는 제7 및 제8 스위칭 소자,

상기 제5 및 제6 스위칭 소자의 접점과 상기 제3 전원 사이에 역방향으로 연결되는 제3 다이오드, 그리고

상기 제7 및 제8 스위칭 소자의 접점과 상기 제3 전원 사이에 순방향으로 연결되는 제4 다이오드

를 더 포함하며,

상기 제5 캐패시터는 상기 제6 캐패시터보다 작은 캐패시턴스를 가지며, 상기 제7 캐패시터는 상기 제8 캐패시터보다 큰 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 7】

주사 전극과 유지 전극 사이에 형성되는 패널 캐패시터에 구동 전압을 인가하기 위한 플라즈마 디스플레이 패널의 구동 장치에 있어서,

제 1 전압을 공급하는 제1 전원과 상기 패널 캐패시터의 제1단 사이에 직렬로 연결되며 양단에 제1 및 제2 캐패시터가 각각 형성되어 있는 제1 및 제2 스위칭 소자를 포함하며,

상기 패널 캐패시터의 제1단에 상기 제1 전압과 제2 전압이 교대로 인가되며,

상기 제1 및 제2 스위칭 소자가 턴오프되어 상기 제1단에 상기 제2 전압이 인가되는 동안 상기 제1 및 제2 스위칭 소자와 상기 제1 및 제2 전압 사이의 크기를 가지는 제3 전압 사이에 제1 전기적 경로가 형성되고,

상기 제1 캐패시터는 상기 제2 캐패시터보다 작은 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 8】

제7항에 있어서,

상기 제1 및 제2 스위칭 소자는 전계 효과 트랜지스터이며, 상기 제1 및 제2 캐패시터는 각각 상기 제1 및 제2 스위칭 소자의 기생 캐패시터인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 9】

제7항에 있어서,

상기 제1 전기적 경로를 형성하기 위해 상기 제1 및 제2 스위칭 소자의 접점과 상기 제3 전압 사이에 연결되는 다이오드를 더 포함하는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 10】

제7항에 있어서,

상기 패널 캐패시터의 제1단과 상기 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결되며 양단에 제3 및 제4 캐패시터가 각각 형성되어 있는 제3 및 제4 스위칭 소자를 더 포함하며,

상기 제3 및 제4 스위칭 소자가 턴오프되어 상기 제1단에 상기 제1 전압이 인가되는 동안 상기 제3 및 제4 스위칭 소자의 접점과 상기 제3 전압 사이에 제2 전기적 경로가 형성되며, 상기 제3 캐패시터는 상기 제4 캐패시터보다 큰 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 11】

제7항에 있어서,

상기 제1 전원과 상기 패널 캐패시터의 제2단 사이에 직렬로 연결되며 양단에 제5 및 제6 캐패시터가 각각 형성되어 있는 제5 및 제6 스위칭 소자,

상기 패널 캐패시터의 제2단과 상기 제2 전원 사이에 직렬로 연결되며 양단에 제7 및 제8 캐패시터가 각각 형성되어 있는 제7 및 제8 스위칭 소자를 더 포함하며,

상기 제5 및 제6 스위칭 소자가 턴오프되어 상기 제2단에 상기 제2 전압이 인가되는 동안 상기 제5 및 제6 스위칭 소자와 상기 제3 전압 사이에 제3 전기적 경로가 형성되고, 상기 제7 및 제8 스위칭 소자가 턴오프되어 상기 제2단에 상기 제1 전압이 인가되

는 동안 상기 제7 및 제8 스위칭 소자의 접점과 상기 제3 전압 사이에 제4 전기적 경로가 형성되며,

상기 제5 캐패시터는 상기 제6 캐패시터보다 작은 캐패시턴스를 가지며, 상기 제7 캐패시터는 상기 제8 캐패시터보다 큰 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 12】

제7항에 있어서,

상기 제1 및 제2 전압의 차이는 상기 패널 캐패시터의 유지방전에 필요한 전압이며, 상기 제3 전압은 상기 제1 및 제2 전압의 중간 전압인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 13】

제7항에 있어서,

상기 패널 캐패시터의 제1단에 전기적으로 연결되는 인덕터를 포함하며, 상기 인덕터와 상기 패널 캐패시터 사이에서 발생하는 공진을 이용하여 상기 패널 캐패시터의 제1단의 전압을 바꾸는 전력 회수부를 더 포함하는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 14】

제13항에 있어서,

상기 전력 회수부는 상기 제1 전원의 제1 전압과 상기 제3 전압 사이의 전압 차를 이용하여 상기 인덕터에 전류를 주입하고 상기 인덕터에 전류가 흐르는 상태에서 상기 공진을 발생시키는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 15】

주사 전극과 유지 전극 사이에 형성되는 패널 캐패시터에 제1 및 제2 전압을 번갈아 인가하면서 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,

상기 패널 캐패시터의 제1단과 상기 제1 전압을 공급하는 제1 전원 사이에 연결된 제1 및 제2 스위칭 소자를 턴오프하고 상기 패널 캐패시터의 제1단에 상기 제2 전압을 인가하는 제1 단계, 그리고

상기 제1 및 제2 스위칭 소자의 접점과 상기 제1 및 제2 전압 사이의 크기를 가지는 제3 전압 사이에 제1 전기적 경로를 형성하는 제2 단계를 포함하며,

상기 제1 스위칭 소자의 양단에 형성된 제1 캐패시터는 상기 제2 스위칭 소자의 양단에 형성된 제2 캐패시터보다 작은 캐패시턴스를 가지는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 16】

제15항에 있어서,

상기 제1 단계는 상기 패널 캐패시터의 제2단에 상기 제1 전압을 인가하는 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 17】

제15항에 있어서,

상기 제1 단계는 상기 패널 캐패시터의 제1단과 상기 제2 전압을 공급하는 제2 전원 사이에 직렬로 연결된 제3 및 제4 스위칭 소자를 턴온하여 상기 제2 전압을 상기 제1단에 공급하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 18】

제17항에 있어서,

상기 제3 및 제4 스위칭 소자를 턴오프하고 상기 제1 및 제2 스위칭 소자를 턴온하여 상기 패널 캐패시터의 제1단에 상기 제1 전압을 인가하는 제3 단계, 그리고

상기 제3 및 제4 스위칭 소자의 접점과 상기 제3 전압 사이에 전기적 경로를 형성하는 제4 단계

를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 19】

제15항에 있어서,

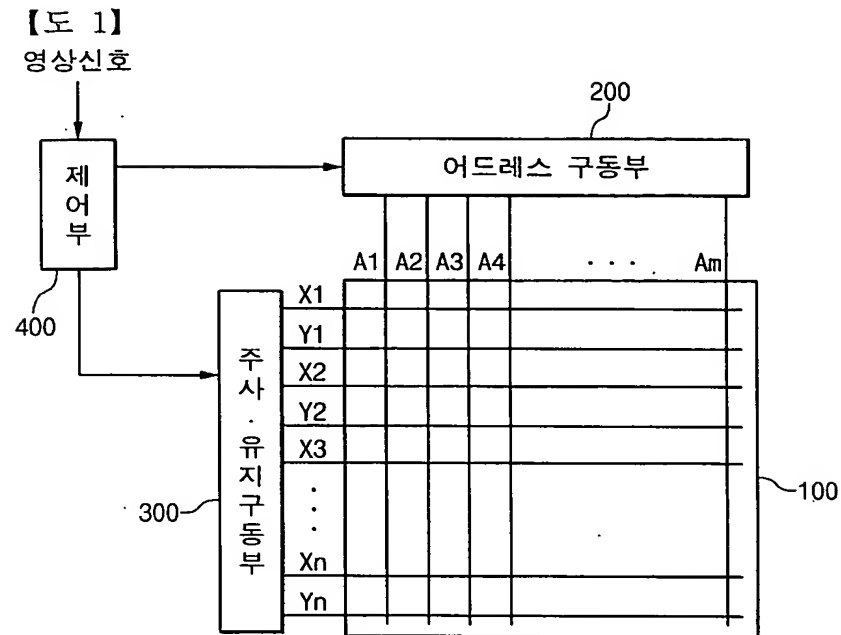
상기 패널 캐패시터의 제1단에 상기 제2 전압을 인가하기 전에, 상기 제1단에 연결된 인덕터와 상기 패널 캐패시터의 공진을 이용하여 상기 제1단의 전압을 바꾸는 공진 단계를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 20】

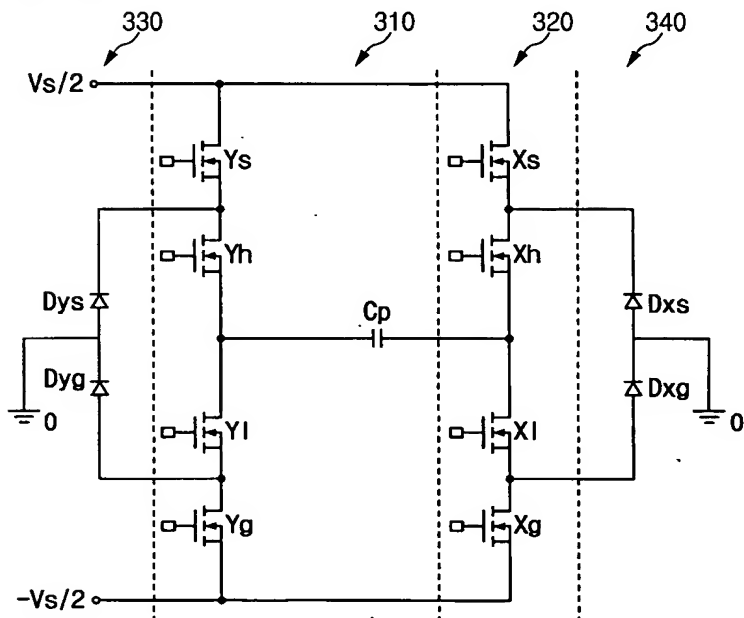
제19항에 있어서,

상기 공진 단계 전에, 상기 제1 및 제3 전압의 차이를 이용하여 상기 인덕터에 전류를 주입하는 단계를 더 포함하는 플라즈마 디스플레이 패널의 구동 방법.

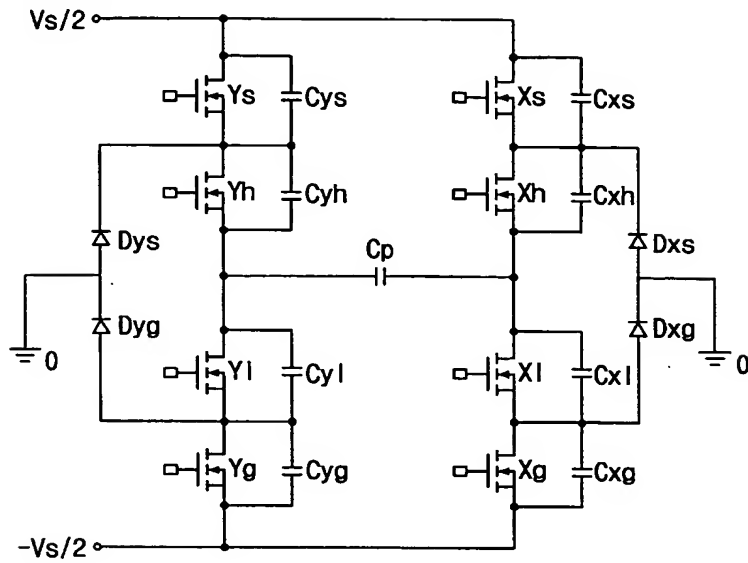
【도면】



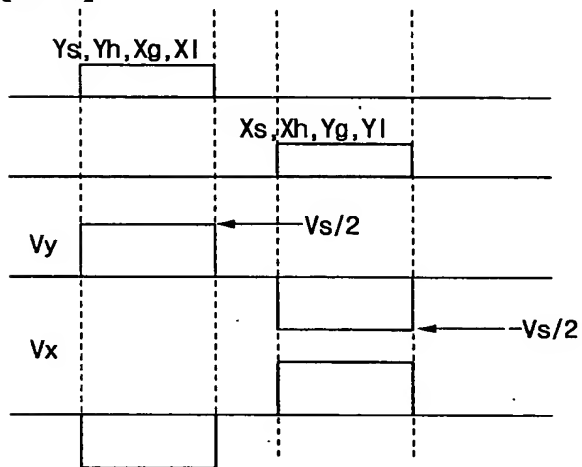
【도 2】



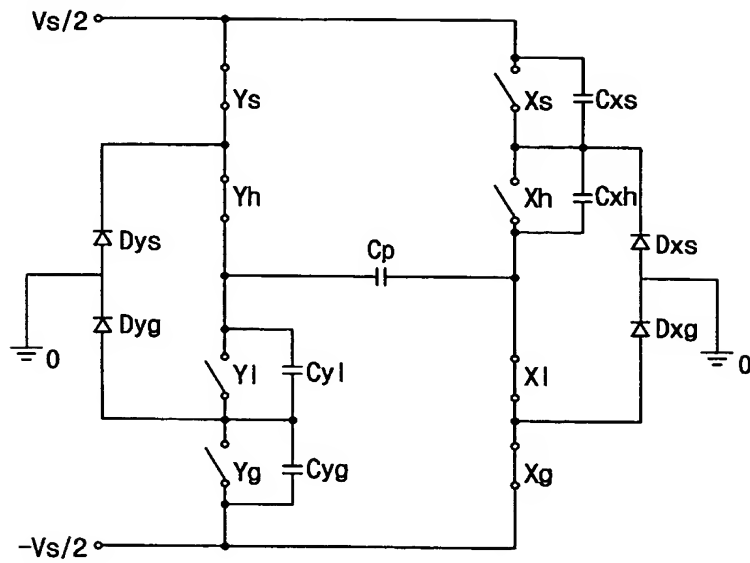
【도 3】



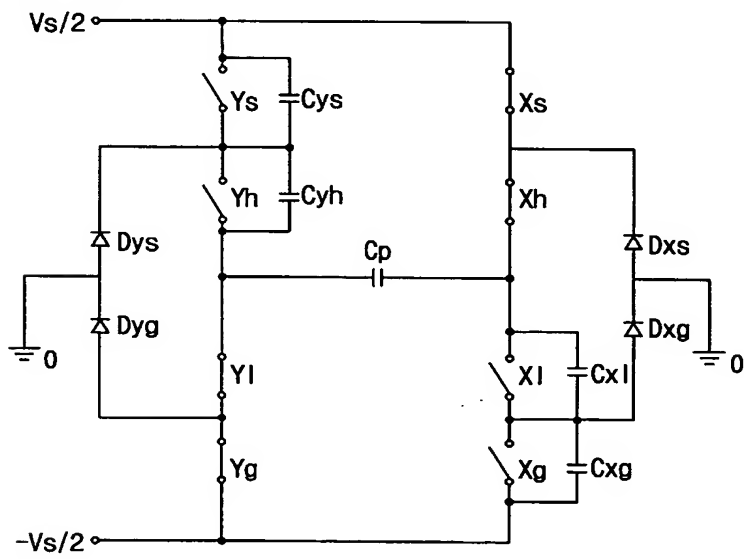
【도 4】



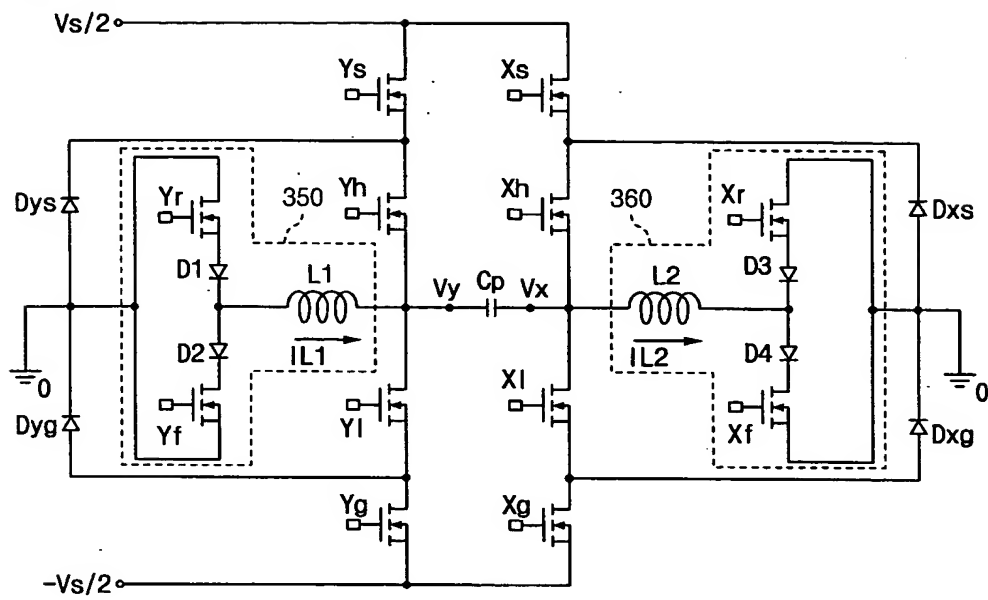
【도 5a】



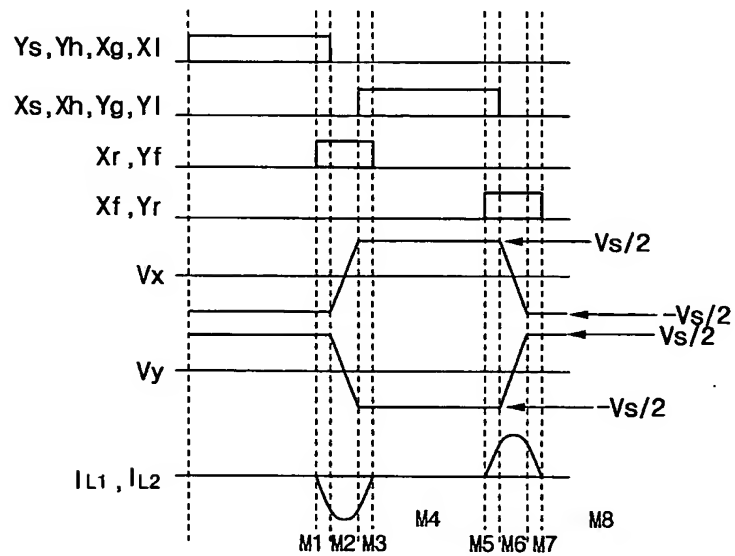
【도 5b】



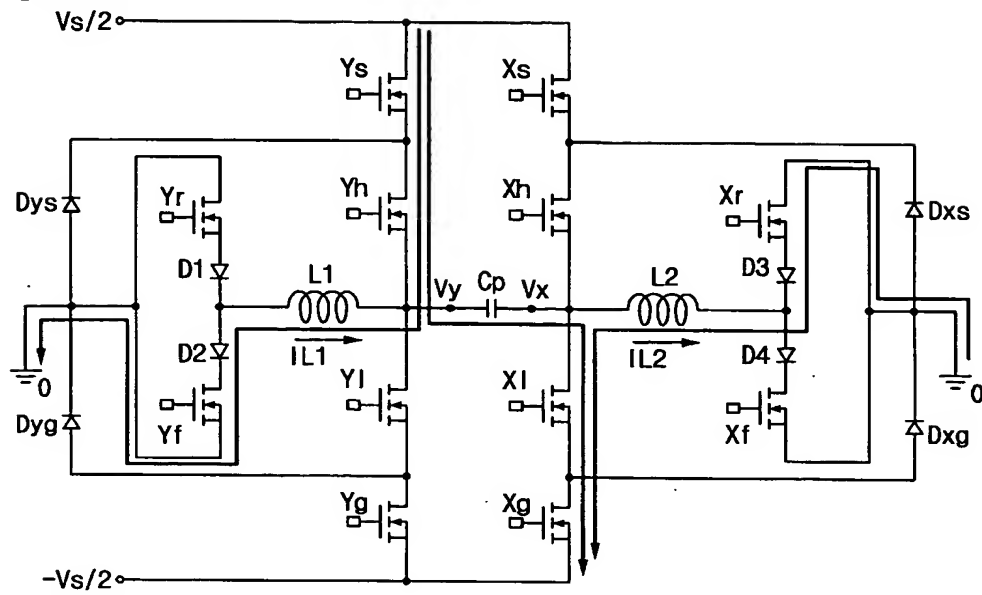
【도 6】



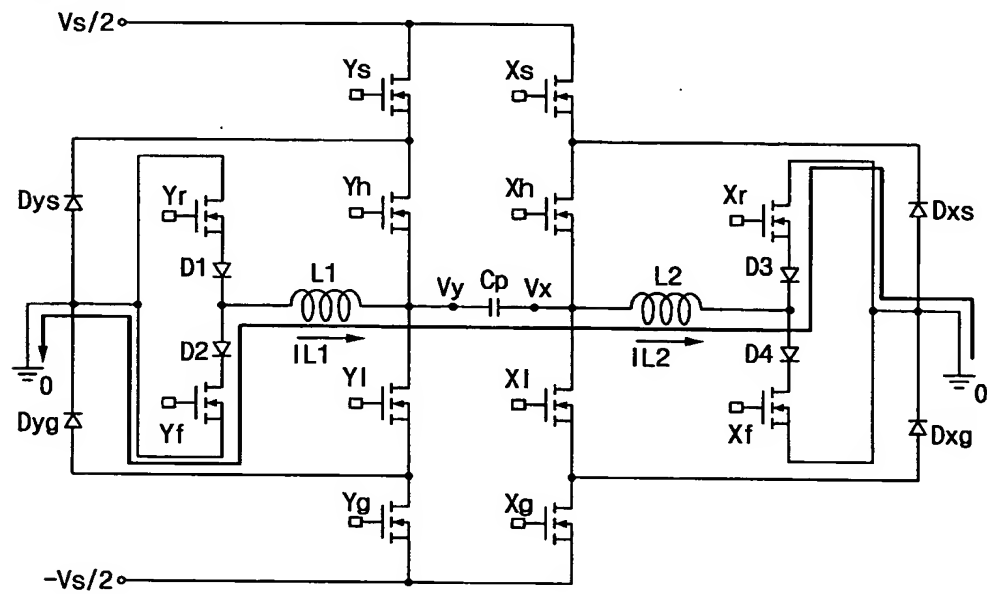
【도 7】



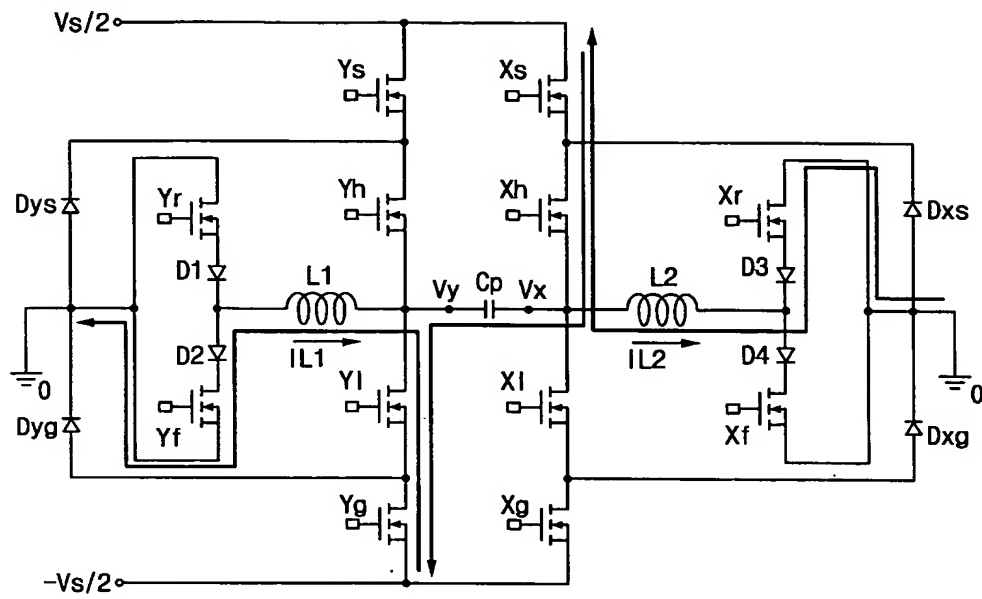
【도 8a】



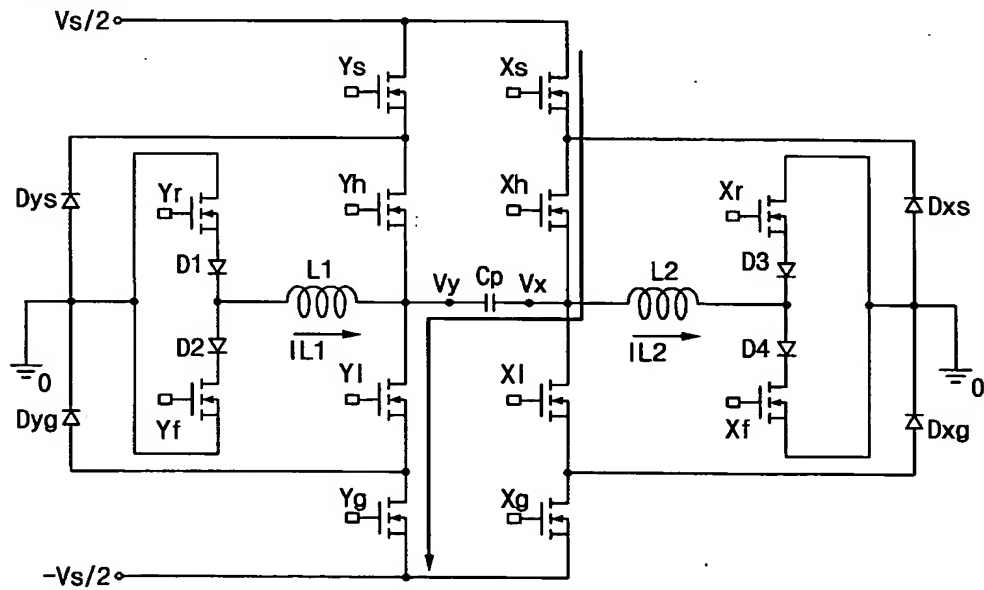
【도 8b】



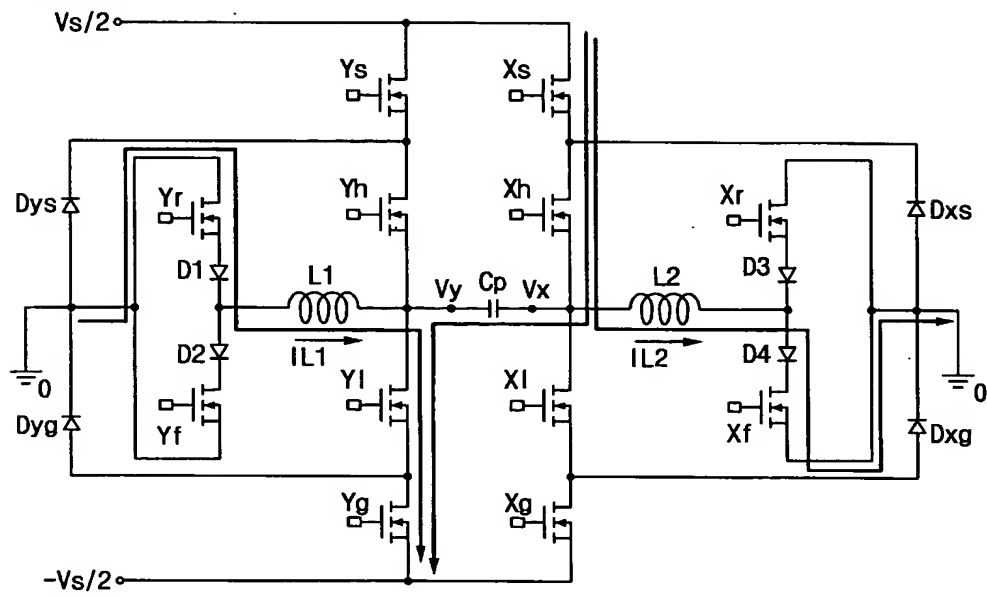
【도 8c】



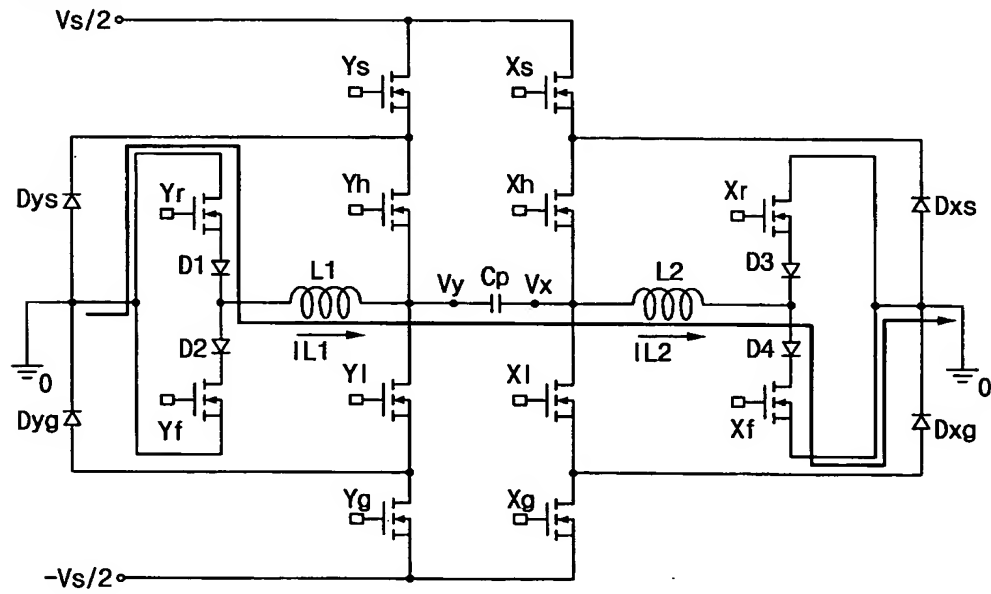
【도 8d】



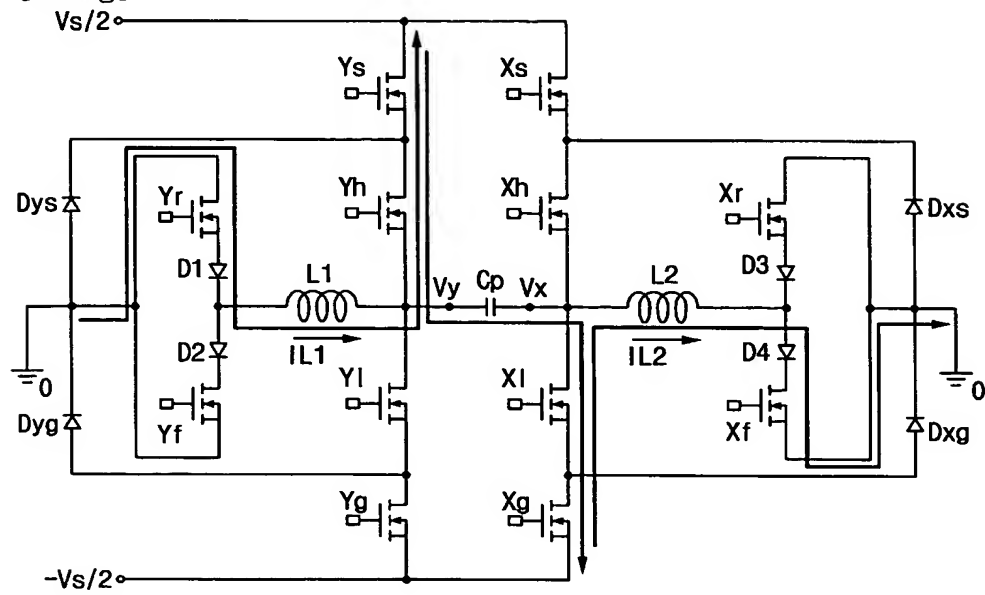
【도 8e】



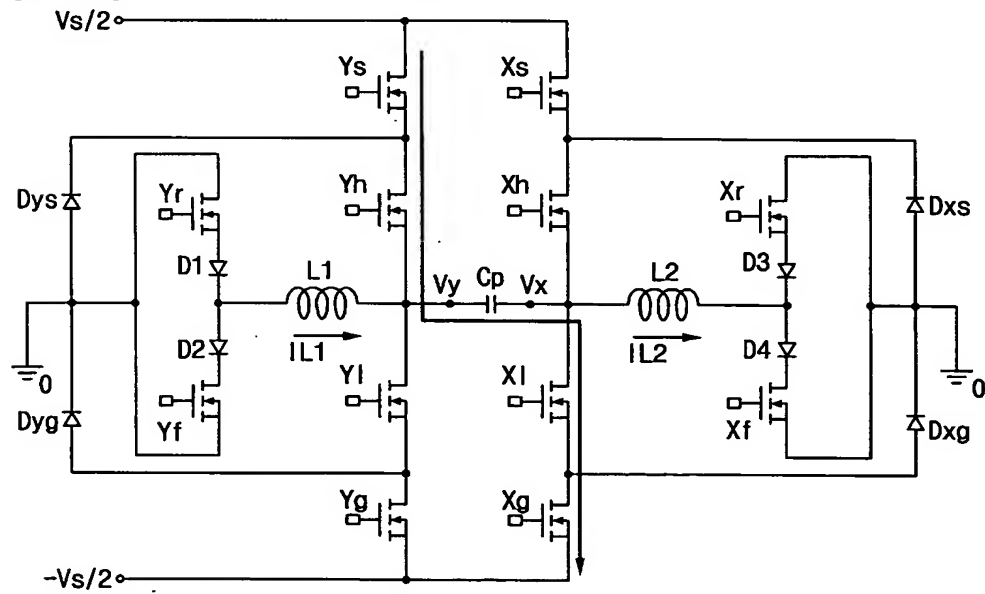
【도 8f】



【도 8g】



【도 8h】



【도 9】

